

E6090

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-301539

(43) Date of publication of application : 13.11.1998

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G02F 1/133

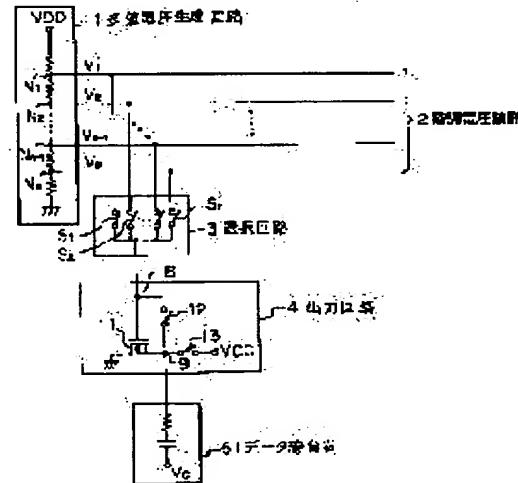
(21)Application number : 09-111183 (71)Applicant : NEC CORP  
(22)Date of filing : 28.04.1997 (72)Inventor : TSUCHI HIROSHI

## (54) DRIVE CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To simultaneously realize a highly precise voltage output, high speed drive and low power consumption with simple circuit constitution.

**SOLUTION:** An output circuit 4 is constituted of an output circuit input terminal 8 inputted a selected-voltage of a selective-circuit 3, a drive circuit output terminal 9, the first voltage source, the second voltage source, a switch 12 connecting between the input terminal 8 and the output terminal 9, a PMOS transistor 11 whose drain is connected to the ground, gate to the input terminal 8 and source to the output terminal 9, and the switch 13 connecting between the output terminal 9 and the voltage source VCC. By controlling the switches 12 and 13, three steps of drive periods of the first drive period precharging the output terminal 9 to the prescribed voltage by the voltage source VCC, the second drive period operating the transistor 11 as a source follower and outputting the voltage to the output terminal 9 and the third drive period directly outputting the voltage of the input terminal 8 to the output terminal 9 through the switch 12 are provided to be driven.



---

## LEGAL STATUS

[Date of request for examination] 28.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2993461

[Date of registration] 22.10.1999

[Number of appeal against examiner's decision of rejection]

This Page Blank (uspto)

液晶表示装置の駆動回路

特開平10-301539

E6090

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-301539

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>6</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

5 7 5

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

5 7 5

審査請求 有 請求項の数 6 O L (全 15 頁)

(21)出願番号

特願平9-111183

(22)出願日

平成9年(1997)4月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 土 弘

東京都港区芝五丁目7番1号 日本電気株式会社内

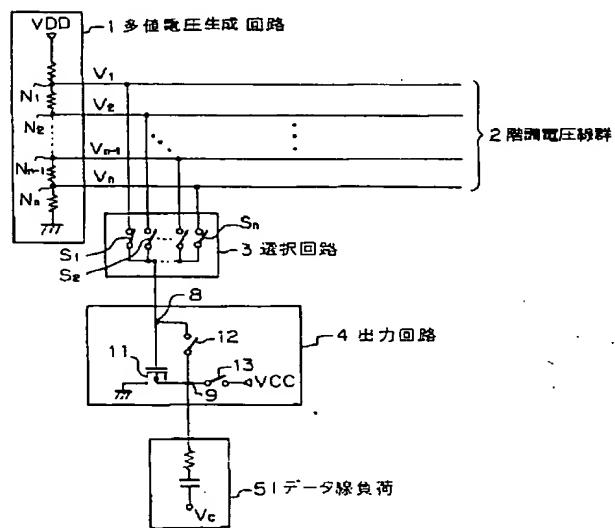
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 液晶表示装置の駆動回路

(57)【要約】

【課題】 簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現する、液晶表示装置の駆動回路を提供する。

【解決手段】 出力回路4は、選択回路3の選択電圧を入力する出力回路入力端子8と、駆動回路出力端子9と、第1の電圧源と、第2の電圧源と、入力端子8と出力端子9の間に接続されたスイッチ12と、ドレインが接地に、ゲートが入力端子8に、ソースが出力端子9に接続されたPMOSトランジスタ11と、出力端子9と電圧源VCCの間に接続されたスイッチ13で構成される。スイッチ12およびスイッチ13を制御することにより、電圧源VCCにより出力端子9を所定の電圧にブリッヂする第1の駆動期間と、トランジスタ11をソースホロワとして動作させて出力端子9に電圧を出力する第2の駆動期間と、入力端子8の電圧をスイッチ12を介して出力端子9に直接出力する第3の駆動期間の3段階の駆動期間を設けて駆動する。



## 【特許請求の範囲】

【請求項1】複数の電圧を生成する多値電圧生成手段と、前記多値電圧生成手段で生成された電圧の中から駆動に必要な電圧を選択する選択回路と、前記選択回路で選択された電圧を入力して所望の電圧を駆動回路出力端子に出力する出力回路を含む、液晶表示装置の駆動回路において、

前記出力回路は、前記選択回路で選択された電圧を入力する出力回路入力端子と、前記駆動回路出力端子と、第1の電圧源と、第2の電圧源と、前記出力回路入力端子と前記駆動回路出力端子の間に接続された第1のスイッチと、ドレインが第1の電圧源に、ゲートが前記出力回路入力端子に、ソースが前記駆動回路出力端子に接続されたトランジスタと、前記駆動回路出力端子と前記第2の電圧源の間に接続された第2のスイッチを含むことを特徴とする、液晶表示装置の駆動回路。

【請求項2】前記出力回路は、前記第1のスイッチおよび前記第2のスイッチが制御されることにより、前記第2の電圧源により前記駆動回路出力端子を所定の電圧にプリチャージする第1の駆動期間と、前記トランジスタをソースホロワとして動作させて前記駆動回路出力端子に電圧を出力する第2の駆動期間と、前記出力回路入力端子の電圧を前記第1のスイッチを介して前記駆動回路出力端子に直接出力する第3の駆動期間の3段階の駆動期間を有する、請求項1記載の、液晶表示装置の駆動回路。

【請求項3】複数の電圧を生成する多値電圧生成手段と、前記多値電圧生成手段で生成された電圧の中から駆動に必要な電圧を選択する選択回路と、前記選択回路で選択された電圧を入力して所望の電圧を駆動回路出力端子に出力する出力回路を含む、液晶表示装置の駆動回路において、

前記出力回路は、前記選択回路で選択された電圧を入力する出力回路入力端子と、前記駆動回路出力端子と、第1の電圧源と、第2の電圧源と、前記出力回路入力端子と前記駆動回路出力端子の間に接続されたスイッチと、ドレインが前記第1の電圧源に、ゲートが前記出力回路入力端子に、ソースが前記駆動回路出力端子に接続されたnチャネル型トランジスタと、ドレインが前記第2の電圧源に、ゲートが前記出力回路入力端子に、ソースが前記駆動回路出力端子に接続されたpチャネル型トランジスタを含むことを特徴とする、液晶表示装置の駆動回路。

【請求項4】前記出力回路は、前記スイッチが制御されることにより、前記nチャネル型トランジスタまたは前記pチャネル型トランジスタをソースホロワとして動作させて前記駆動回路出力端子に電圧を出力する第1の駆動期間と、前記出力回路入力端子の電圧を前記スイッチを介して前記駆動回路出力端子に直接出力する第2の駆動期間の2段階の駆動期間を有する、請求項3記載

の、液晶表示装置の駆動回路。

【請求項5】前記多値電圧生成手段は、第3の電圧源と、第4の電圧源と、第3の電圧源と第4の電圧源の間に接続された抵抗素子群からなる分圧回路である、請求

05 項1または3記載の、液晶表示装置の駆動回路。

【請求項6】前記多値電圧生成手段は、n個の電圧V<sub>k</sub> (k=1, 2, ..., n) および電圧V<sub>k</sub>から電圧V<sub>0k</sub>だけがされたn個の補助電圧V<sub>k+V<sub>0k</sub></sub> (k=1, 2, ..., n) を生成する手段と、前記n個の電圧V<sub>k</sub>または

10 前記n個の補助電圧V<sub>k+V<sub>0k</sub></sub>が输出される多値電圧生成手段出力端子と、前記n個の電圧V<sub>k</sub>の前記多値電圧生成手段出力端子への出力を制御する第1のスイッチ群と、前記n個の補助電圧V<sub>k+V<sub>0k</sub></sub>の前記多値電圧生成手段出力端子の出力を制御する第2のスイッチ群を15 含む、請求項1または3記載の、液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリックス駆動方式の液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】液晶表示装置は薄型、軽量、低電力という特長から、携帯機器やノートパソコンなどの携帯端末をはじめ様々な装置に用いられている。その中でもアクティブマトリックス駆動方式を用いた液晶表示装置は、高速応答、高精細表示、多階調表示という特長から需要が高まっている。アクティブマトリックス駆動方式を用いた液晶表示装置の表示部は一般に透明な画素電極と薄膜トランジスタ (TFT) を配置した半導体基板と、面

30 全体に1つの透明な電極を形成した対向基板と、この2枚の基板を対向させて間に液晶を封入した構造によってなり、スイッチング機能を持つTFTを制御することによって各画素電極に所定の電圧を書き込み、各画素電極と対向基板電極との間の電圧差により液晶の透過率を変化させて画面表示を行っている。半導体基板上には、各画素電極へ書き込む階調電圧 (データ信号) を送るデータ線とTFTのスイッチング制御信号 (走査信号) を送る走査線が配線されている。各走査線にはパルス状の走査信号がゲートドライバより送られ、走査線の走査信号

40 がハイレベルのとき、その走査線につながるTFTは全てオンとなり、そのときデータ線に送られた階調電圧 (データ信号) がオンとなったTFTを介して画素電極に書き込まれる。そして走査信号がローレベルとなりTFTがオフ状態に変化すると、画素電極に書き込まれた階調電圧は、次に書き替えられるまでの間保持される。そして各走査線に順次走査信号を送ることにより、全ての画素電極に所定の電圧が書き込まれ、フレーム周期で書き換えを行うことによって画面表示を行うことができる。

50 【0003】このように液晶表示装置はデータ線を介し

て画素電極に階調電圧を書き込むことにより液晶を駆動しており、データ線を駆動するデータドライバは、1画素分の液晶容量だけでなく配線抵抗や配線容量を含む大きな容量性負荷を駆動しなければならない。高精細表示、多階調表示を行うためには、容量の大きなデータ線負荷を高い電圧精度で高速に駆動する必要があるため、高性能なデータドライバが要求され、これまでに様々なデータドライバの開発が行われてきた。その中で高精度な電圧出力を可能としたのが図14に示す第1の従来例である。これは抵抗ストリング1Aで生成した階調電圧を選択回路3で選択して直接データ線負荷5に出力するので、電圧精度が抵抗ストリング1Aを構成する抵抗素子の抵抗比によって決まり、高精度な電圧出力が可能となる。図14は1データ線に対する駆動回路を示しているが、複数のデータ線をもつ場合でも抵抗ストリングを共有することによりデータ線ごとの出力電圧ばらつきもほとんど生じない。

【0004】また、パネルの高精細化により走査線数やデータ線数が増加すると、1データあたりの出力期間が短くなり、データ線負荷を高速に駆動するためにはデータドライバに高い電流供給能力が必要となる。その要求を満たすのが図16の第2の従来例や図17の第3の従来例(特願平8-27623)である。第2の従来例

(図16)は抵抗ストリング1Aで生成した階調電圧を選択回路3で選択してオペアンプ7で増幅して1データ線負荷5に出力する駆動回路である。この駆動回路はオペアンプ7によりインピーダンス変換しているため電流供給能力が高く、データ線負荷を高速に駆動することができる。第3の従来例(図17)は抵抗素子群31で生成された電圧を半導体スイッチ群SW<sub>1</sub>, SW<sub>2</sub>, ..., SW<sub>M</sub>で選択してMOSトランジスタTrのゲートにバイアスし、ゲートバイアス電圧からしきい値電圧だけ降圧した電圧をソースから取り出して出力する多値電圧源回路である。この回路はMOSトランジスタTrがソースホロウとなっているので低インピーダンスで多値電圧を出力することができ、データドライバの駆動回路として用いればデータ線負荷を高速に駆動することができる。また、抵抗素子群の両端にMOSトランジスタTrのしきい値電圧ばらつきを補正するための電圧制御手段32および電流制御手段33を接続することにより高精度な電圧を出力することができる。

【0005】

【発明が解決しようとする課題】液晶表示装置を携帯機器や携帯端末として利用するためには、高精度な電圧出力や高速駆動能力だけでなく消費電力を小さくすることも必要となる。

【0006】しかしながら第1の従来例(図14)の場合、抵抗ストリング1A内の各接続端子より階調電圧を出力するので階調電圧に応じて出力インピーダンスが異なる。この場合駆動速度はデータ線負荷および抵抗スト

リング1Aの出力インピーダンスによる遅延の時定数で決まるので、任意の階調に対してデータ線を高速に駆動するためには、階調電圧を生成する抵抗ストリング1Aの抵抗値を小さくして遅延の時定数を小さくする必要がある。しかしながら抵抗ストリング1Aの抵抗値を小さくすると、電源電圧が一定の場合は抵抗ストリング1Aに流れる電流が大きくなり、駆動回路における消費電力が増大するという課題がある。

【0007】一方、第2の従来例(図16)の場合、抵抗ストリング1Aに流す電流とデータ線の充放電による電力消費以外にオペアンプの内部電流による電力消費を生じるので、データ線数の多い高精細パネルではその消費電力は無視できない大きさになる。またオペアンプはトランジスタの特性ばらつきに起因するオフセットがあるため、出力電圧精度にばらつきを生じる場合がある。

【0008】第3の従来例(図17)では、抵抗素子群に流す電流とデータ線負荷の充放電による電力消費があるが、MOSトランジスタによりインピーダンス変換を行っているので抵抗素子群に流す電流を抑えることができ、比較的消費電力は小さい。しかしMOSトランジスタのしきい値電圧ばらつきによって出力電圧がばらつくのを防ぐため、抵抗素子群の両端に電圧制御回路や電流制御回路を接続しており、そのため駆動回路の構成が複雑になるという課題がある。

【0009】このように従来の液晶表示装置の駆動回路では、データ線数の多い高精細パネルに対して簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現することは難しかった。

【0010】本発明の目的は、簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現する液晶表示装置の駆動回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の第1の液晶表示装置の駆動回路は、複数の電圧を生成する多値電圧出力手段と、多値電圧生成手段で生成された電圧の中から駆動に必要な電圧を選択する選択回路と、選択回路で生成された電圧を入力して所望の電圧を駆動回路出力端子に出力する出力回路を含む。液晶表示装置の駆動回路において、出力回路は、選択回路で選択された出力電圧を入力する出力回路入力端子と、駆動回路出力端子と、第1の電圧源と、第2の電圧源と、出力回路入力端子と駆動回路出力端子の間に接続された第1のスイッチと、ドレンが第1の電圧源に、ゲートが出力回路入力端子に、ソースが駆動回路出力端子に接続されたトランジスタと、駆動回路出力端子と第2の電圧源の間に接続された第2のスイッチを含む。

【0012】本発明の実施態様によれば、出力回路は、第1のスイッチおよび第2のスイッチが制御されることにより、第2の電圧源により駆動回路出力端子を所定の電圧にプリチャージする第1の駆動期間と、トランジ

タをソースホロワとして動作させて駆動回路出力端子に電圧を出力する第2の駆動期間と、出力回路入力端子の電圧を前記第1のスイッチを介して駆動回路出力端子に直接出力する第3の駆動期間の3段階の駆動期間を有する。

【0013】本発明の第2の液晶表示装置の駆動回路は、複数の電圧を生成する多値電圧生成手段と、多値電圧生成手段で生成された電圧の中から駆動に必要な電圧を選択する選択回路と、選択回路で選択された電圧を入力して所望の電圧を駆動回路出力端子に出力する出力回路を含む、液晶表示装置の駆動回路において、出力回路は、選択回路で選択された電圧を入力する出力回路入力端子と、駆動回路出力端子と、第1の電圧源と、第2の電圧源と、出力回路入力端子と駆動回路出力端子の間に接続されたスイッチと、ドレインが第1の電圧源に、ゲートが出力回路入力端子に、ソースが選択電圧出力端子に接続されたnチャネル型トランジスタと、ドレインが第2の電圧源に、ゲートが出力回路入力端子に、ソースが駆動回路出力端子に接続されたpチャネル型トランジスタを含む。

【0014】本発明の実施態様によれば、出力回路は、スイッチが制御されることにより、nチャネル型トランジスタまたはpチャネル型トランジスタをソースホロワとして動作させて駆動回路出力端子に電圧を出力する第1の駆動期間と、出力回路入力端子の電圧をスイッチを介して駆動回路出力端子に直接出力する第2の駆動期間の2段階の駆動期間を有する。

【0015】本発明の実施態様によれば、多値電圧生成手段は、第3の電圧源と、第4の電圧源と、第3の電圧源と第4の電圧源の間に接続された抵抗素子群からなる分圧回路である。

【0016】本発明の実施態様によれば、多値電圧生成手段は、n個の電圧 $V_k$  ( $k = 1, 2, \dots, n$ ) および電圧 $V_k$ から電圧 $V_{0k}$ だけずれたn個の補助電圧 $V_{k+V_{0k}}$  ( $k = 1, 2, \dots, n$ ) を生成する手段と、n個の電圧 $V_k$ またはn個の補助電圧 $V_{k+V_{0k}}$ が出力される多値電圧生成手段出力端子と、n個の電圧 $V_k$ の多値電圧生成手段出力端子への出力を制御する第1のスイッチ群と、n個の補助電圧 $V_{k+V_{0k}}$ の多値電圧生成手段出力端子の出力を制御する第2のスイッチ群を含む。

【0017】次に、本発明の作用を説明する。なお、説明を簡単にするために、多値電圧生成手段は抵抗素子を直列接続した抵抗ストリングで構成し、抵抗ストリング内の各接続端子より電圧を生成する簡単な構成の場合について説明する。また、選択回路で選択して出力回路に入力する任意の階調電圧を $V_k$ 、出力回路のnチャネル型トランジスタのしきい値電圧を $V_t$ 、pチャネル型トランジスタのしきい値電圧を $V_T$ とする。そして駆動回路出力端子にデータ線負荷を接続し、このデータ線負荷

を駆動する場合について説明する。

【0018】まず、第1の液晶表示装置の駆動回路について説明する。第1の駆動期間では、出力回路の第1のスイッチおよび第2のスイッチをオンにすると、第1のトランジスタのゲートとソースが同電位となるため第1のトランジスタはオフ状態となり、第2の電圧源によりデータ線負荷は所定の電圧にプリチャージされる。そして第2の駆動期間で第1のスイッチおよび第2のスイッチをオフすると、選択回路で選択した階調電圧 $V_k$ は第1のトランジスタのゲートにバイアスされ、ソースから電圧 $(V_k - V_T)$ が駆動回路の出力端子を介してデータ線負荷に出力される。このとき第1のトランジスタはソースホロワとなっており、インピーダンス変換により第1の電圧源より電荷が供給され、データ線負荷を電圧 $(V_k - V_T)$ 付近まで高速に駆動することができる。第3の駆動期間では第1のスイッチをオン、第2のスイッチをオフにすると、第1のトランジスタはオフし、階調電圧 $V_k$ が第1のスイッチを介してデータ線に直接出力される。このとき抵抗ストリングで生成された電圧が直接データ線負荷に出力されるので、第3の駆動期間における駆動速度は抵抗ストリングの出力インピーダンスに依存する。抵抗ストリングの場合には、階調電圧に応じて出力インピーダンスが異なり、第3の駆動期間における駆動速度はデータ線負荷および抵抗ストリングの出力インピーダンスによる遅延の時定数で決まる。しかし第3の駆動期間ではしきい値電圧 $V_T$ 程度の電圧差を駆動するだけであり、遅延の時定数が比較的大きくても必要な出力電圧精度に短時間で到達する。そのため抵抗ストリングの抵抗値を比較的大きくして抵抗ストリングに流す電流を抑えることができ、駆動回路の消費電力を低減することができる。このように3段階の駆動期間を設けて1出力期間を駆動することにより、1出力期間全体としては高速に駆動することができ、多値電圧生成手段より出力される電圧を直接出力することにより高精度な階調電圧をデータ線負荷に出力することができる。また簡単な構成で駆動回路を実現でき、低い消費電力で駆動することができる。

【0019】第2の液晶表示装置の駆動回路については、第1の駆動期間および第2の駆動期間の作用は第1の液晶表示装置の駆動回路における第2の駆動期間および第3の駆動期間の作用と同様である。なお第2の液晶表示装置の駆動回路ではプリチャージは必要ない。その理由は、第1の駆動期間において出力電圧が前出力期間における出力電圧よりも高い場合はnチャネル型トランジスタが動作し、出力電圧が前出力期間における出力電圧よりも低い場合はpチャネル型トランジスタが動作するためである。したがって2段階の駆動期間を設けて1出力期間を駆動することにより、1出力期間全体としては高速に駆動することができ、抵抗ストリングで生成された電圧を直接出力することにより高精度な階調電圧を

データ線負荷に出力することができる。また、簡単な構成で駆動回路を実現でき、低い消費電力で駆動することができる。

【0020】第1の従来例と比較した場合、本発明は抵抗ストリングに流す電流を抑えても高速駆動が可能なので、第1の従来例より消費電力を低減することができる。また第2の従来例と比較した場合も、本発明はオペアンプの内部電流のような電力損失がないので、第2の従来例よりも低消費電力が可能である。また本発明は多値電圧出力手段の出力電圧を直接データ線負荷に出力しており、第2の従来例のようなオペアンプのオフセットによる出力電圧のばらつきがなく、高精度な電圧をデータ線負荷に出力することができる。第3の従来例と比較した場合は、本発明はトランジスタのしきい値電圧ばらつきを補正するような補正回路は必要なく、回路構成が簡単で設計が容易である。

#### 【0021】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して説明する。

【0022】図1は本発明の第1の実施の形態の液晶表示装置の駆動回路の構成図である。

【0023】本実施形態の、液晶表示装置の駆動回路は、複数の電圧  $V_1, V_2, \dots, V_n$  を出力する多値電圧生成回路1と、多値電圧生成回路の生成電圧  $V_1 \sim V_n$  から駆動に必要な電圧を選択する選択回路3と、選択回路3で選択された電圧を入力して所望の電圧を駆

動回路出力端子9を介して1データ線負荷5に出力する出力回路4で構成されている。

【0024】多値電圧生成回路1は抵抗素子を直列接続した抵抗ストリングで構成され、抵抗ストリング内の各接続端子からデータドライバの複数の出力に共通な階調電圧線群2に階調電圧を出力する。そして選択回路3で任意の階調を選択し、出力回路4より1データ線負荷5に階調電圧を出力して一定期間電圧を保持する。なお、図1では選択回路3および出力回路4は1データ線の駆動に必要な構成部分のみ示す。多数のデータ線に出力する場合は、各データ線ごと選択回路3および出力回路4を設ける。出力回路4は出力回路入力端子8と駆動回路出力端子9とpチャネル型MOSトランジスタ（以後PMOSトランジスタと称す）11とスイッチ12およびスイッチ13で構成される。PMOSトランジスタ11のドレインは接地され、ゲートは出力回路入力端子8に、ソースは駆動回路出力端子9に接続されている。スイッチ12は出力回路入力端子8と駆動回路出力端子9の間に接続され、スイッチ13は駆動回路出力端子9と電圧源VCCの間に接続されている。

【0025】図2は図1の回路構成における第1の駆動例を示し、2出力期間の出力波形図、表1はそのときの各スイッチの状態を示す表である。

#### 【0026】

【表1】

	$T_1$	$T_2$	$T_3$	$T_4$	$T_5$	$T_6$
選択回路3	全てオン	$S_1$ のみオン		全てオフ	$S_n$ のみオン	
スイッチ12	オン	オフ		オン	オフ	オン
スイッチ13	オン		オフ		オン	オフ

【0027】以下これに基づいて駆動方法を簡単に説明する。なお、以下の説明においてPMOSトランジスタ11のしきい値電圧をVTとし、電圧源VCCの電圧VCCをVCC > V<sub>1</sub>とする。期間T<sub>1</sub>ではスイッチ13をオンにして、まず1データ線負荷5を電圧VCCにブリチャージする。このときスイッチ12をオンにし、PMOSトランジスタ11をオフさせておく。また、電圧VCCから階調電圧線群2へ電流が逆流しないように選択回路3のスイッチS<sub>1</sub>～S<sub>n</sub>を全てオフにする。以後この期間をブリチャージ期間と記す。次に、期間T<sub>2</sub>では選択回路3においてスイッチS<sub>1</sub>のみオンとして階調電圧V<sub>1</sub>を選択する。そしてPMOSトランジスタ11のゲートに電圧V<sub>1</sub>がバイアスされた状態で、スイッチ12、PMOSスイッチ13ともオフにするとPMOSトランジスタ11がオンとなり、1データ線負荷5にチャ

ージされていた電荷がトランジスタ11のドレインの接地面に放電され、1データ線負荷5の電圧はVCCから急速に低下して電圧(V<sub>1</sub> - VT)に近づく。以後このようにMOSトランジスタをソースホロワ動作して1データ線負荷5を駆動する期間をトランジスタ駆動期間と記す。次に、期間T<sub>3</sub>でスイッチ12をオンにすると、PMOSトランジスタ11はオフし、階調電圧V<sub>1</sub>をスイッチ12を介して直接1データ線負荷5に出力して1出力期間を終了する。以後このように選択回路3の出力を直接1データ線負荷5に出力する期間を直接駆動期間と記す。次の出力期間T<sub>4</sub>～T<sub>6</sub>についても同様に、T<sub>4</sub>のブリチャージ期間では1データ線負荷5を電圧VCCにブリチャージし、T<sub>5</sub>のトランジスタ駆動期間で階調電圧V<sub>n</sub>を選択して1データ線負荷5に電圧(V<sub>n</sub> - VT)を出力し、T<sub>6</sub>の直接駆動期間で階調電圧V<sub>n</sub>を

直接1データ線負荷5に出力する。

【0028】このような駆動方法を行うことにより、トランジスタ駆動期間では、PMOSトランジスタ11がソースホロワとなっているので階調に依存せず低インピーダンスで高速に駆動することができ、直接駆動期間では選択回路3の出力を1データ線負荷5へ直接出力することにより高精度な電圧を出力することができる。ただし、直接駆動期間は階調電圧により出力インピーダンスが異なるので、その駆動速度は1データ線負荷5の抵抗や容量と抵抗ストリングの出力インピーダンスにより決まる遅延の時定数に依存するが、直接駆動期間ではしきい値電圧VTの電圧差を駆動するだけによく、時定数が比較的大きくても必要な出力電圧精度に短時間で到達する。そのため抵抗ストリングの抵抗値を大きくしても1出力期間全体では高速に駆動することができる。すなわち本実施形態では抵抗ストリングに流れる電流を抑え、駆動回路全体の消費電力を低減することができる。なお、トランジスタ駆動期間において任意の階調電圧V<sub>k</sub>が(VCC-V<sub>k</sub>)<-VTの場合、トランジスタ11はオフしたままとなるが、直接駆動期間において駆動する電圧差はしきい値電圧VT以下になっているので、直接駆動期間だけで高速に駆動することができる。また、本実施形態を多出力のデータドライバICに用いた場合、IC間やIC内のPMOSトランジスタのしきい値電圧にはばらつきが生じても、データ線の出力電圧は抵抗ストリングを構成する抵抗素子の抵抗比によって決まるため、しきい値電圧のばらつきには何ら依存せず高精度な電圧出力が可能である。このように本実施形態では、

簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現することができる。

【0029】また、図2では電圧源VCCが一定の場合を示したが、出力期間ごとに電圧VCCのレベルを変えることも可能である。図3は出力期間ごとに電圧源VCCの電圧を変化させる第2の駆動例である。図3は電圧源VCCの電圧をVCC1、VCC2と変化させ、図2と同様のスイッチ制御を行ったときの出力波形図である。ただし、VCC1>V<sub>1</sub>>VCC2>V<sub>1</sub>とした。

【0030】また、本実施形態において、トランジスタ11のしきい値電圧VTの絶対値は小さいほど効果的である。しきい値電圧の絶対値の小さいトランジスタを用いると、直接駆動期間に駆動しなければならない電圧差が小さくなり駆動速度が速くなるため、必要な駆動速度の限度内で抵抗ストリングに流す電流を抑えて消費電力を下げることができる。

【0031】図4は本発明の第2の実施の形態の液晶表示装置の駆動回路の構成図である。本実施形態は図1においてPMOSトランジスタ11をnチャネル型MOSトランジスタ(以後NMOSトランジスタと称す)14に置き換え、そのドレンを電圧源VDDに接続したものである。

【0032】図5は図4の回路構成における第1の駆動例を示す、データ線負荷5への2出力期間の出力波形図、表2はそのときの各スイッチの状態を示す表である。

【0033】

【表2】

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
選択回路3	全てオフ	S <sub>1</sub> のみオン		全てオフ	S <sub>n</sub> のみオン	
スイッチ12	オン	オフ		オン	オフ	オン
スイッチ13	オン		オフ		オン	オフ

【0034】駆動方法は図2と同様で、T<sub>1</sub>およびT<sub>2</sub>はプリチャージ期間、T<sub>3</sub>およびT<sub>4</sub>はトランジスタ駆動期間、T<sub>5</sub>およびT<sub>6</sub>は選択回路3の出力を直接データ線負荷5に出力する直接駆動期間である。このような駆動を行うことにより、第1の実施形態と同様に簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現することができる。

【0035】図6は本発明の第3の実施の形態の液晶表示装置の駆動回路の構成図である。

【0036】本実施形態は出力回路4のみが第1、第2の実施形態と異なり、出力回路4は出力回路入力端子8と駆動回路出力端子9とスイッチ12とNMOSトランジスタ15とPMOSトランジスタ16で構成される。

スイッチ12は、第1、第2の実施形態と同様に出力回路入力端子8と駆動回路出力端子9の間に接続され、NMOSトランジスタ15のドレンを電圧源VDDに、ゲートを出力回路入力端子8に、ソースを駆動回路出力端子9に接続し、PMOSトランジスタ16のドレンを接地に、ゲートを出力回路入力端子8に、ソースを駆動回路出力端子9に接続したものである。

【0037】図7は図6の回路構成における駆動例を示すもので、2出力期間の出力波形図、表3はそのときの各スイッチの状態を示す表である。

【0038】

【表3】

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>
選択回路3	S <sub>1</sub> のみオン		S <sub>n</sub> のみオン	
スイッチ12	オフ	オン	オフ	オン

【0039】以下これに基づいて駆動方法を簡単に説明する。なお、NMOSトランジスタ15およびPMOSトランジスタ16のしきい値電圧をそれぞれV<sub>t</sub>およびV<sub>T</sub>とする。T<sub>1</sub>はトランジスタ駆動期間で、スイッチ12をオフし、選択回路3でスイッチS<sub>1</sub>のみオンとして階調電圧V<sub>1</sub>を選択し、NMOSトランジスタ15およびPMOSトランジスタ16のゲートに電圧V<sub>1</sub>をバイアスする。このとき前出力期間に1データ線負荷5に保持されていた電圧がV<sub>1</sub>より十分低電圧である場合はNMOSトランジスタ15がオンとなり、PMOSトランジスタ16はオフする。そして1データ線負荷5の電圧は急速に上昇して電圧(V<sub>1</sub>-V<sub>t</sub>)に近づく。T<sub>1</sub>は直接駆動期間で、スイッチ12をオンにするとNMOSトランジスタ15およびPMOSトランジスタ16はオフし、階調電圧V<sub>1</sub>を直接1データ線負荷5に出力して1出力期間を終了する。次の出力期間では、階調電圧V<sub>n</sub>を選択回路3で選択すると、T<sub>1</sub>のトランジスタ駆動期間でNMOSトランジスタ15がオフし、PMOSトランジスタ16がオンとなる。そして1データ線負荷5の電圧は急速に低下して電圧(V<sub>n</sub>-V<sub>T</sub>)に近づく。その後T<sub>1</sub>の直接駆動期間でスイッチ12をオンにすると、NMOSトランジスタ15およびPMOSトランジスタ16はオフし、階調電圧V<sub>n</sub>が直接1データ線負荷5に出力される。

【0040】このような駆動方法を行うことにより、トランジスタ駆動期間ではトランジスタがソースホロワとなっているので階調に依存せず低インピーダンスで高速に駆動することができ、直接駆動期間では選択回路3の出力を1データ線負荷5へ直接出力することにより高精度な電圧を出力することができる。なお、出力しようとする電圧と前出力期間に保持されていた電圧との電位差がNMOSトランジスタ15またはPMOSトランジスタ16のしきい値電圧の絶対値より小さい場合は、T<sub>1</sub>およびT<sub>1</sub>のトランジスタ駆動期間においてNMOSトランジスタ15およびPMOSトランジスタ16の両方ともオフする場合があるが、駆動する電圧差がしきい値電圧以下となっているので直接駆動期間だけで十分高速に駆動することができる。

【0041】また、本実施形態では、第1の実施形態のようなブリチャージが不要なく、第1の実施形態よりも省電力、高速駆動が可能である。その理由はトランジスタ駆動期間において出力電圧が前出力期間における出力電圧よりも高い場合はNMOSトランジスタ15が動作

し、出力電圧が前出力期間における出力電圧よりも低い場合はPMOSトランジスタ16が動作するためである。そして本実施形態においても、第1の実施形態で説明したのと同様に、抵抗ストリングの抵抗値を大きくしても高速に駆動することができ、駆動回路全体の消費電力を低減することができる。そしてまた本実施形態を多出力のデータドライバICに用いた場合も、IC間やIC内のトランジスタのしきい値電圧にはらつきが生じても高精度な電圧出力が可能である。

【0042】なお、図6において、NMOSトランジスタ15およびPMOSトランジスタ16のドレインを電圧一定の電圧源に接続したが、出力期間ごと電圧可変となる任意の電圧源に接続して用いることもできる。

【0043】このように、本実施形態では、簡単な回路構成で高精度な電圧出力、高速駆動、低消費電力を同時に実現することができる。

【0044】図8は本発明の第4の実施形態の液晶表示装置の駆動回路の構成図である。

【0045】本実施形態の駆動回路は、図1の駆動回路を一部改良した回路で、選択回路3および出力回路4の構成は図1と同様である。図8において、図1と異なる構成部分について以下に説明する。多値電圧生成回路1は抵抗素子を直列接続した抵抗ストリングで構成し、抵抗ストリング内の2n個(但し $n$ は自然数)の接続端子よりn個の階調電圧および各階調電圧から所定の電圧だけずれたn個の補助電圧を出力する。ここで任意の階調電圧をV<sub>k</sub>(但し $k$ はn以下の自然数)、階調電圧V<sub>k</sub>から電圧V<sub>0k</sub>(但し $k$ はn以下の自然数)だけずれた補助電圧を(V<sub>k</sub>+V<sub>0k</sub>)とし、階調電圧V<sub>k</sub>または補助電圧(V<sub>k</sub>+V<sub>0k</sub>)を出力する階調電圧線をL<sub>k</sub>(但し $k$ はn以下の自然数)とする。なお、図8においてはV<sub>0k</sub><0とする。階調電圧V<sub>k</sub>および補助電圧(V<sub>k</sub>+V<sub>0k</sub>)を生成する抵抗ストリング内の接続端子それぞれと階調電圧線L<sub>k</sub>との間にスイッチS<sub>Wk</sub>およびスイッチS<sub>W0k</sub>を接続し、これらのスイッチを制御することにより階調電圧V<sub>k</sub>または電圧(V<sub>k</sub>+V<sub>0k</sub>)を階調電圧線L<sub>k</sub>に出力できるように構成する。これを全てのkについて同様に接続した2n個のスイッチをスイッチ群6と記す。なお、以下の駆動方法の説明を容易にするため、スイッチ群6において階調電圧V<sub>1</sub>、補助電圧(V<sub>1</sub>+V<sub>01</sub>)、階調電圧V<sub>n</sub>、補助電圧(V<sub>n</sub>+V<sub>0n</sub>)を出力制御するスイッチをそれぞれ101、102、103、104とする。

【0046】図9は図8の回路構成における駆動例を示すもので、2出力期間におけるデータ線負荷5の出力波形図、表4はそのときのスイッチ群6のスイッチ101

～104の状態を示す表である。

【0047】

【表4】

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
選択回路3	全てオフ	S <sub>1</sub> のみオン		全てオフ	S <sub>n</sub> のみオン	
スイッチ101	オフ	オン		オフ	オン	
スイッチ102	オン	オフ		オン	オフ	
スイッチ103	オフ	オン		オフ	オン	
スイッチ104	オン	オフ		オン	オフ	
スイッチ12	オン	オフ	オン		オフ	オン
スイッチ13	オン	オフ	オン		オフ	

【0048】以下これに基づいて駆動方法を説明する。T<sub>1</sub>～T<sub>6</sub>におけるスイッチ101およびスイッチ103の制御方法は第1の実施形態と同様で、T<sub>1</sub>およびT<sub>2</sub>はプリチャージ期間、T<sub>3</sub>およびT<sub>4</sub>はトランジスタ駆動期間、T<sub>5</sub>およびT<sub>6</sub>は選択回路3の出力を直接1データ線負荷5に出力する直接駆動期間である。本実施形態ではさらにスイッチ群6を設けており、その制御と効果を説明する。スイッチ群6はプリチャージ期間およびトランジスタ駆動期間では階調電圧線群2に補助電圧(V<sub>k</sub>+V<sub>ok</sub>)を出力し、直接駆動期間では階調電圧線群2に階調電圧V<sub>k</sub>を出力するようにスイッチ群6を制御する。具体的にはT<sub>1</sub>、T<sub>2</sub>ではスイッチ101、103など階調電圧を出力制御するスイッチは全てオフ、スイッチ102、104など補助電圧を出力制御するスイッチは全てオンとなっている。T<sub>3</sub>で選択回路3のスイッチS<sub>1</sub>がオンとなると、PMOSトランジスタ11のゲートに補助電圧(V<sub>1</sub>+V<sub>01</sub>)がバイアスされ、1データ線負荷5の電圧はプリチャージ電圧V<sub>CC</sub>から電圧(V<sub>1</sub>+V<sub>01</sub>-V<sub>T</sub>)に急速に低下する。そしてT<sub>4</sub>でスイッチ101、103など階調電圧を出力制御するスイッチが全てオン、スイッチ102、104など補助電圧を出力制御するスイッチが全てオフとなると、階調電圧線群2の電圧は補助電圧から階調電圧に切り替わり、選択回路3で選択されている階調電圧V<sub>1</sub>が1データ線負荷5に直接出力される。T<sub>5</sub>～T<sub>6</sub>についても同様に、T<sub>5</sub>で電圧(V<sub>n</sub>+V<sub>on</sub>-V<sub>T</sub>)が、T<sub>6</sub>で階調電圧V<sub>n</sub>が1データ線負荷5に出力される。この作用は任意の階調電圧V<sub>k</sub>を出力する場合も同様である。このような駆動方法を行うことにより、第1の実施形態と同様の効果を持つが、本実施形態では第1の実施形態よ

りもさらに高速駆動、低消費電力が実現できる。以下にその理由を説明する。本実施形態においてPMOSトランジスタ11の基板バイアス電圧がソース電圧に等しいとき、PMOSトランジスタ11のしきい値電圧V<sub>T</sub>は25ゲートバイアス電圧によらず一定である。このとき多値電圧生成回路1の抵抗ストリングの設計において、電圧V<sub>ok</sub>は全てのkに対して一定の値に設定することができる。そしてV<sub>ok</sub>がV<sub>T</sub>に近い値をとるよう設計すると、トランジスタ駆動期間において1データ線負荷5の電圧は(V<sub>k</sub>+V<sub>ok</sub>-V<sub>T</sub>)であるので、所望の階調電圧V<sub>k</sub>付近まで高速に駆動することができる。第1の実施形態では直接駆動期間はPMOSトランジスタ11のしきい値電圧V<sub>T</sub>分の電圧差を駆動しなければならないが、本実施形態ではV<sub>ok</sub>の設定により、直接駆動30期間においてしきい値電圧V<sub>T</sub>に依存しないわずかな電圧差を駆動するだけでよい。したがって、抵抗ストリングの設計を第1の実施形態で必要とする抵抗値より大きくしても十分高速に駆動することができ、それにより抵抗ストリングに流れる電流を抑えて駆動回路の消費電力35を第1の実施形態よりもさらに低減することができる。【0049】また、本実施形態は、NMOSトランジスタを用いた出力回路4を含む第2の実施形態に応用することもでき、その場合も本実施形態と同様の効果を得ることができる。40【0050】次に、第1の実施形態から第4の実施形態で説明した液晶表示装置の駆動回路について、シミュレーションにより具体的に実施し、駆動速度および消費電力のシミュレーション結果より本発明による効果を実証する。なお、シミュレーションにおいて第2の実施形態45(図4)は、第1の実施形態(図1)の出力回路4のP

MOSトランジスタ11をNMOSトランジスタ14に置き換えたものであり、効果は同様であるので第2の実施形態(図4)のシミュレーションによる効果の実証は省略する。

【0051】シミュレーションは対角9インチのVGAパネルに相当する1データ線負荷を本発明の駆動回路(図1、図6、図8)に接続し、それぞれの駆動回路についてデータ線終端の出力電圧の変化より駆動速度および消費電力を見積もる。シミュレーションに用いる1データ線負荷の等価回路を図10に示す。駆動回路10は図1、図6、図8の回路構成を持つ1データ線駆動回路であり、1データ線負荷20は液晶容量および配線抵抗、配線容量を含めた等価回路である。シミュレーションにおいて駆動回路10の任意の電圧源VCCは電源電圧VDDに等しいとし、VDD=5Vとする。また、駆動回路10のデータ線負荷への1出力期間は4.0μsとする。なお駆動速度を見積もるにあたり、直接駆動期間における駆動速度は階調に依存するので、出力設定電圧は0.5V、2.5V、4.5Vの3レベルとし、4.5Vの初期状態から第1出力期間は2.5V、第2出力期間は0.5V、第3出力期間は2.5V、第4出力期間は4.5Vを1サイクルとして出力するように設定する。駆動速度の見積もりは、VGAパネルの1 LSB(40mV)を用いて、各出力期間の始まりから出力設定電圧の1 LSB(40mV)精度に到達するまでの時

間を見積もる。なお、これにはプリチャージ期間も含めるものとする。また、消費電力の見積もりは、1データ線負荷20を1サイクル周期で駆動するときに電源電圧VDDで消費される電力を見積もる。この消費電力は抵抗ストリングに流れる電流および1データ線負荷の充放電による消費電力であり、1データ線あたりの駆動消費電力である。多数のデータ線に出力する駆動回路の場合は、抵抗ストリングに流す電流はデータ線数に比例し、駆動消費電力もデータ線数に比例する。

【0052】また、本発明との比較を行うため、第1の従来例(図16)についても同様のシミュレーションを行う。第1の従来例において、抵抗ストリングに1.0μAの電流を流す場合について本発明と比較を行う。図15は第1従来例のシミュレーションによる出力波形図である。

(実施例1) 図11は第1の実施形態(図1)における1サイクル(4出力期間)のデータ線終端電圧(点線)および電源電圧VDDで消費される電力P(実線)の出力波形図である。駆動条件は抵抗ストリングに流す電流をI=1.0μAとし、PMOSトランジスタ11のしきい値電圧をVT=-0.5Vとした場合である。1出力期間における駆動タイミングを表5に示す。

【0053】

【表5】

25

	回路図	出力波形図	プリチャージ期間	トランジスタ駆動期間	直接駆動期間
実施例1	図1	図11	5μs	3μs	32μs
実施例2	図6	図12		3μs	37μs
実施例3	図8	図13	5μs	3μs	32μs
第1従来例	図14	図15			40μs

【0054】プリチャージ期間を5μs、トランジスタ駆動期間を3μs、直接駆動期間を32μsとした。トランジスタ駆動期間において、第1の従来例(図15)と比べてデータ線終端電圧の変化が速いことは明らかである。

ある。表6に1 LSB精度到達時間および消費電力の第1従来例との比較を示す。

【0055】

【表6】

	回路図	駆動条件	1 LSB(40mV) 精度到達時間 [μs]				消費電力[μW]
			4.5V→2.5V	→0.5V	→2.5V	→4.5V	
実施例1	図1	I=10μA, VT=-0.5V	22.6	14.0	22.6	13.9	57.2
		I=8μA, VT=-0.2V	21.2	13.8	21.2	13.0	47.4
実施例2	図6	I=8μA, VT=0.5V, VT=-0.5V	20.8	9.7	21.0	11.8	48.1
実施例3	図8	I=5μA, VT=-0.5V, Vok=-0.55V	8.5	12.7	8.4	7.1	33.6
第1従来例	図14	I=10μA	21.2	8.8	21.2	8.7	51.8

【0056】抵抗ストリングで生成した階調電圧を直接データ線負荷20に出力する場合、階調電圧に応じて遅延の時定数が異なるため駆動速度も階調電圧に応じて異なる。表6より1 LSB精度到達時間は出力電圧2.5Vのときが最も遅く、これが駆動回路の駆動速度を決める。

【0057】図1の駆動回路では、駆動条件がI=1.0μA、VT=-0.5Vの場合は第1の従来例に比べて駆動速度、消費電力ともやや劣っている。これは図1の駆動回路がプリチャージを必要とするため、プリチャージ期間やプリチャージによる充放電があるためである。

しかしPMOSトランジスタ11のしきい値電圧をVT

$V_T = -0.5V$  から  $V_T = -0.2V$  にして、抵抗ストリングに流す電流を  $I = 8\mu A$  にすると、第1の従来例よりも駆動速度、消費電力とも優ることができる。このようにしきい値電圧の絶対値の小さいトランジスタを用いると、直接駆動期間に駆動しなければならない電圧差が小さくなり駆動速度が速くなるため、必要な駆動速度の限度内で抵抗ストリングに流す電流を抑えて消費電力を下げるができる。これにより本発明の駆動回路(図1)の効果が示された。

【0058】図12は第3の実施形態(図6)における1サイクル(4出力期間)のデータ線終端電圧(点線)および電源電圧VDDで消費される電力P(実線)の出力波形図である。駆動条件は抵抗ストリングに流す電流を  $I = 8\mu A$  とし、NMOSトランジスタ15のしきい値電圧を  $V_t = 0.5V$ 、PMOSトランジスタ16のしきい値電圧を  $V_T = -0.5V$  とし、両MOSトランジスタ15、16とも基板電圧はソース電圧に等しいとした場合である。1出力期間における駆動タイミングを表5に示す。図6の駆動回路ではプリチャージは必要なく、トランジスタ駆動期間を  $3\mu s$ 、直接駆動期間を  $37\mu s$  とした。トランジスタ駆動期間において、第1の従来例(図15)と比べてデータ線終端電圧の変化が速いことは明らかである。表6に1 LSB精度到達時間および消費電力の第1の従来例との比較を示す。

【0059】図6の駆動回路ではプリチャージが必要ないので、図1の駆動回路よりも1 LSB精度到達時間が短く、プリチャージによる電力消費もない。したがって、抵抗ストリングに流す電流を  $8\mu A$  としても、駆動速度と消費電力とも図1の駆動回路ならびに第1の従来例の駆動回路(図14)より優っている。第1の実施例と同様にしきい値電圧の絶対値の小さいトランジスタを用いれば、さらに高速駆動や消費電力の低減が可能となる。

【0060】図13は第4の実施形態(図8)における1サイクル(4出力期間)のデータ線終端電圧(点線)および電源電圧VDDで消費される電力P(実線)の出力波形図である。駆動条件は抵抗ストリングに流す電流を  $I = 5\mu A$  とし、P型トランジスタ11のしきい値電圧を  $V_T = -0.5V$  とし、 $V_{ok} = -0.55V$  (ただし  $k$  は  $n$  以下の自然数) とした場合である。1出力期間における駆動タイミングを表4に示す。駆動タイミングは第1の実施例と同様でプリチャージ期間を  $5\mu s$ 、トランジスタ駆動期間を  $3\mu s$ 、直接駆動期間を  $32\mu s$  とした。トランジスタ駆動期間において、第1の従来例(図15)と比べてデータ線終端電圧の変化が速いことは明らかである。表6に1 LSB精度到達時間および消費電力の第1の従来例との比較を示す。

【0061】図8の駆動回路では電圧  $V_{ok}$  を最適に設定することにより、直接駆動期間に駆動しなければならない電圧差をトランジスタのしきい値電圧に関係なく十

分小さくできるので、1 LSB精度到達時間も十分短くすることができ、抵抗ストリングに流す電流も抑えることができる。なお、本実施例では、トランジスタ駆動期間にPMOSトランジスタ11のゲートにバイアスされる補助電圧が  $(V_k - V_{ok}) < 0$  のときは、ゲートバイアスは0Vになるように設定した。そのため本実施例における出力電圧  $0.5V$  のときのゲートバイアスは理想的には  $-0.05V$  であるが、ここでは  $0V$  となるので、1 LSB精度到達時間は  $12.7\mu s$  とやや遅くなる。しかしその場合でも第1の従来例および図1、図6の駆動回路よりも高速駆動と消費電力の低減が実現できる。

#### 【0062】

【発明の効果】以上説明したように本発明は、駆動期間を少なくとも2段階に分割し、第1の段階では出力精度は低いが電流供給能力の高い回路で大まかに容量性負荷を所望の電圧に近づけ、第2の段階では電流供給能力は低いが出力精度の高い回路で厳密に容量性負荷の電圧を決定するような構成としたことにより、従来の出力段にオペアンプを使用した駆動回路よりも簡単な回路構成で高精度な電圧出力を得られ、また抵抗分圧した電圧を直接出力する駆動回路よりも高速駆動および消費電力の低減が可能である。これにより簡単な回路構成で高精度な電圧出力および高速駆動、低消費電力を同時に実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の液晶表示装置の駆動回路の回路図である。

【図2】図1の駆動回路における第1駆動例の出力波形図である。

【図3】図1の駆動回路における第2駆動例の出力波形図である。

【図4】本発明の第2の実施の形態の液晶表示装置の駆動回路の回路図である。

【図5】図4の駆動回路における駆動例の出力波形図である。

【図6】本発明の第3の実施の形態の液晶表示装置の駆動回路の回路図である。

【図7】図6の駆動回路における駆動例の出力波形図である。

【図8】本発明の第4の実施の形態の液晶表示装置の駆動回路の回路図である。

【図9】図8の駆動回路における駆動例の出力波形図である。

【図10】駆動回路のシミュレーションに用いた1データ線負荷の等価回路図である。

【図11】第1の実施例の出力波形図である。

【図12】第2の実施例の出力波形図である。

【図13】第3の実施例の出力波形図である。

【図14】第1従来例を示す回路図である。

# 液晶表示装置の駆動回路

特開平10-301539

【図15】第1従来例の出力波形図である。

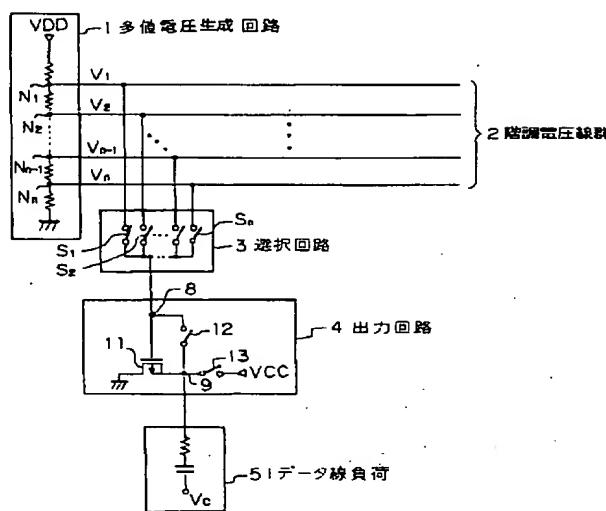
【図16】第2従来例を示す回路図である。

【図17】第3従来例を示す回路図である。

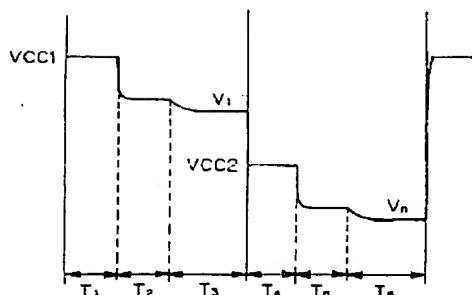
【符号の説明】

- 1 多値電圧生成回路
- 2 階調電圧線群
- 3 選択回路
- 4 出力回路
- 5 1データ線負荷
- 6 スイッチ群
- 8 出力回路入力端子
- 9 駆動回路出力端子

【図1】

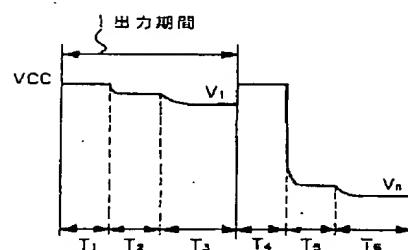


【図3】

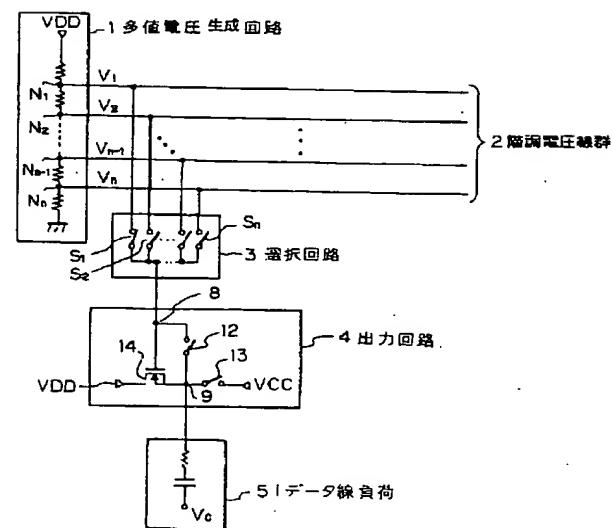


- 10 データ線駆動回路
- 11 PMOSトランジスタ
- 12, 13 スイッチ
- 14, 15 NMOSトランジスタ
- 05 16 PMOSトランジスタ
- 20 1データ線負荷
- 21 データ線終端
- 101~104 スイッチ
- $V_1 \sim V_n, V_{11} \sim V_{nn}$  電圧
- 10  $SW_1 \sim SW_n, SW_{11} \sim SW_{nn}, S_1 \sim S_n$  スイッチ

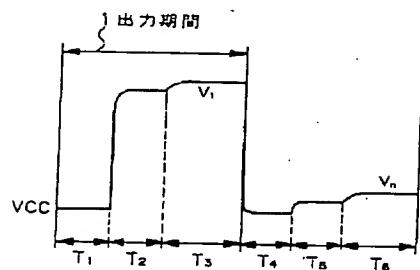
【図2】



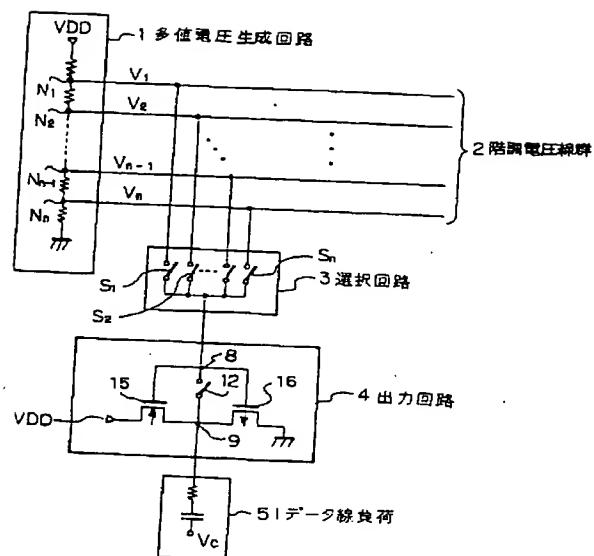
【図4】



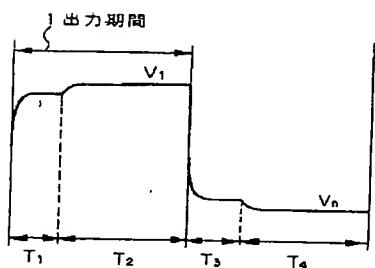
【図5】



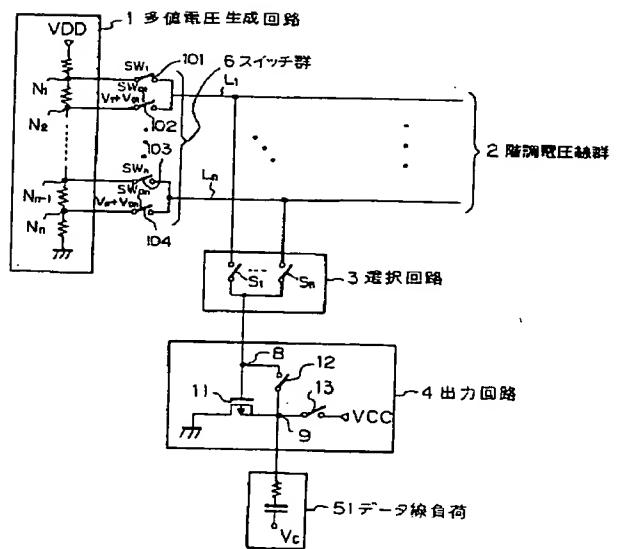
【図6】



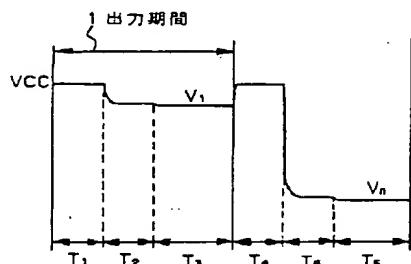
【図7】



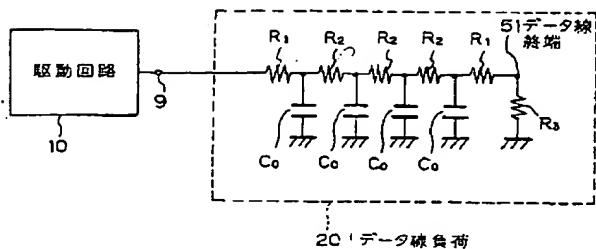
【図8】



【図9】

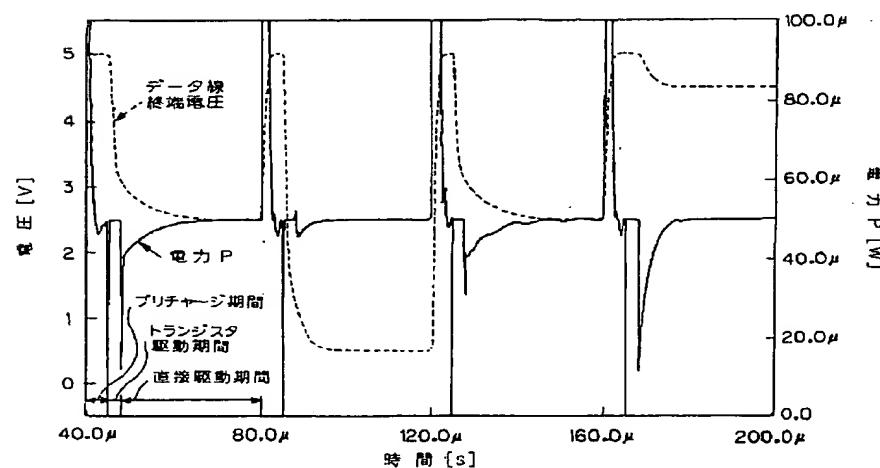


【図10】

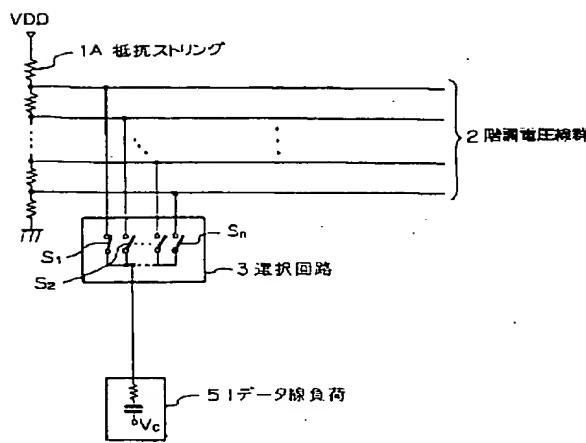


$$\begin{aligned}
 R_1 &= 5\text{k}\Omega \\
 R_2 &= 10\text{k}\Omega \\
 R_3 &= 1\text{k}\Omega \\
 C_0 &= 10\text{pF}
 \end{aligned}$$

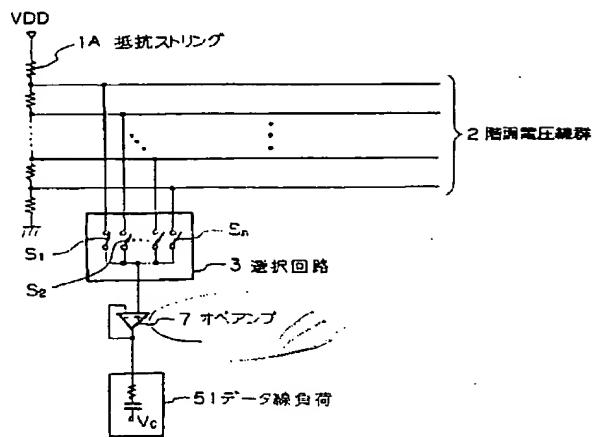
【図11】



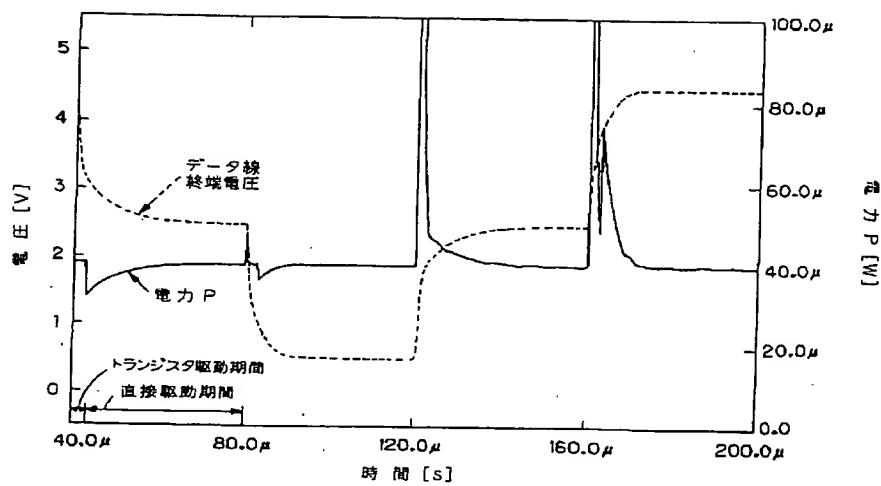
【図14】



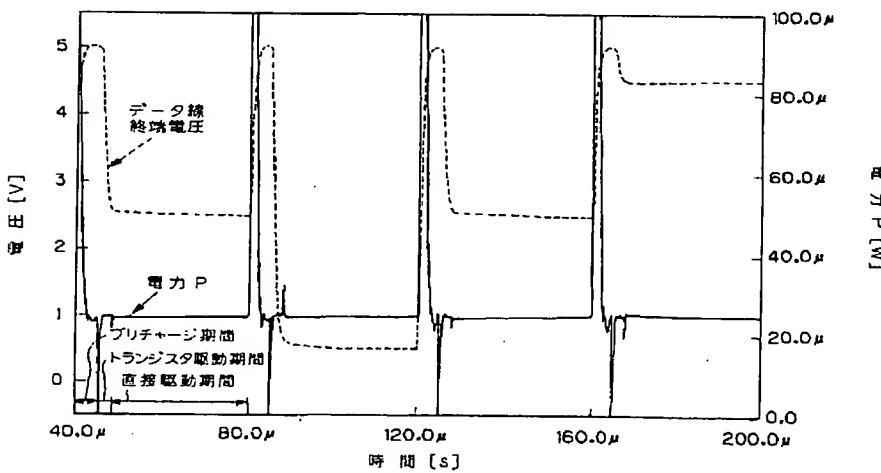
【図16】



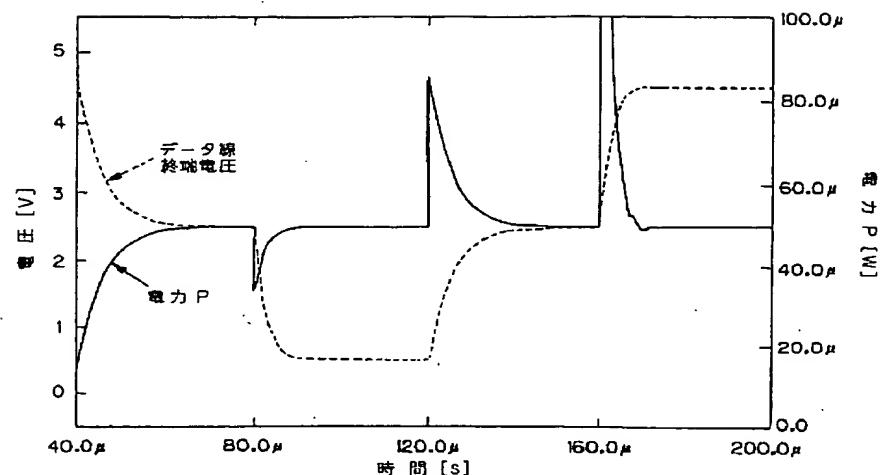
【図12】



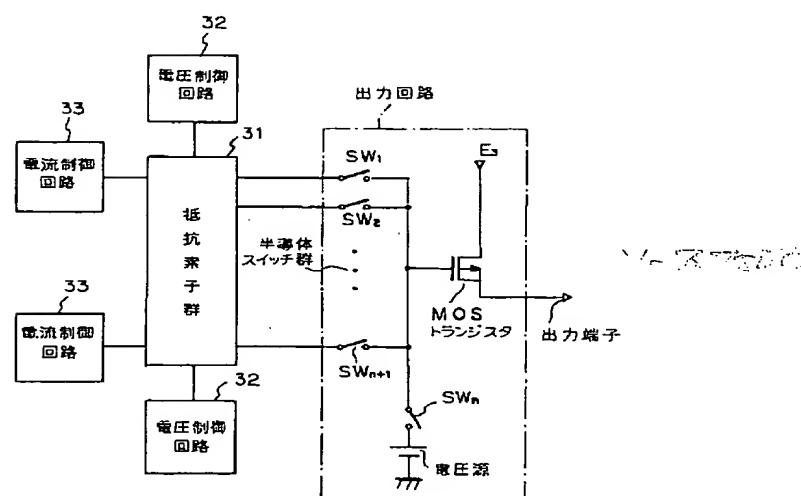
【図13】



【図15】



【図17】



This Page Blank (uspto)